

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

Patent Number: JP9307013
Publication date: 1997-11-28
Inventor(s): MITSUI TAKAAKI; NAGATA SATOSHI
Applicant(s): MITSUI HIGH TEC INC
Requested Patent: ☐ JP9307013
Application Number: JP19960116665 19960510
Priority Number(s):
IPC Classification: H01L23/02; H01L21/321; H01L23/48; H01L29/84
EC Classification:
Equivalents:

Abstract

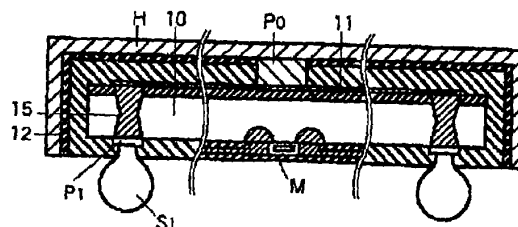
PROBLEM TO BE SOLVED: To provide a high-yield and high-reliability semiconductor integrated circuit device easy to mount by forming it as an integrated circuit substrate, without dicing a substrate formed by slicing a Si single crystalline rod.

SOLUTION: An integrated circuit substrate is formed by slicing a Si single crystalline rod having an outline shape with leaving this shape uncut. Elements such as transistors and wirings, etc., are formed on this Si substrate 10, electrode pads P1 are arrayed along the marginal edge of the element forming surface and large electrode pad P0 is formed at the center. This pad P0 is electrically connected to a wiring pattern 11 on the back surface and element regions through high-concn. diffused regions 15 extending in the thickness direction of the substrate. The pads Pi are connected to solder balls S1 to be connectable to external circuits.

Data supplied from the esp@cenet database - I2

(II)特許出願公開番号

(43)公開日 平成9年(1997)11月28日



【特許請求の範囲】

【請求項1】 所望の外周形状をなすシリコン単結晶棒をスライスすることによって形成され、前記シリコン単結晶棒の外周形状を外郭として維持したシリコン基板と、
前記シリコン基板に配設された複数の素子および配線と、
前記シリコン基板の表面又は裏面に配設された外部接続用の電極パッドとを具備した集積回路基板と、
前記集積回路基板を搭載する集積回路基板搭載領域と、リードとを備えた基体本体と、
前記リードと前記集積回路基板の前記接続パッドを電気的に接続する接続手段とを具備したことを特徴とする半導体集積回路装置。

【請求項2】 前記シリコン基板は、円形であり、その中心に電源線接続用のパッドを具備し、接続手段を介して電源線に接続されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記シリコン基板は、円形であり、その中心に接地線接続用のパッドを具備し、接続手段を介して接地線に接続されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 前記シリコン基板は、円形であり、その中心に接地線接続用のパッドを具備し、接続手段を介して接地線に接続されており、
前記基体は、前記集積回路基板を搭載する凹部を具備し、前記パッドに相当する領域を除いて内側を絶縁化せしめられてなる放熱板であることを特徴とする請求項1記載の半導体集積回路装置。

【請求項5】 前記基体は、前記集積回路基板を搭載する凹部を具備してなる放熱板であることを特徴とする請求項1記載の半導体集積回路装置。

【請求項6】 前記シリコン基板は、円形であり、その素子形成面側の中心に接地線接続用のパッドを具備するとともに、裏面側の中心に電源線接続用のパッドを具備し、それぞれ接続手段を介して接地線および電源線に接続されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項7】 前記電極パッドは、前記集積回路基板の外周に沿って配列され、それぞれ信号線に接続されていることを特徴とする請求項6記載の半導体集積回路装置。

【請求項8】 前記集積回路基板は、更に前記集積回路基板表面に、半導体チップを搭載してなる混成集積回路であることを特徴とする請求項1記載の半導体集積回路装置。

【請求項9】 所望の外周形状をなすシリコン単結晶棒をスライスすることによって形成され、前記シリコン単結晶棒の外周形状を外郭として維持したシリコン基板と、

前記シリコン基板に配設された複数の素子および配線と、
前記シリコン基板の表面又は裏面に配設された外部接続用の電極パッドとを具備した集積回路基板と、
前記電極パッドに接続するように前記集積回路基板の表面又は裏面から突出するソルダボールと、
前記集積回路基板を搭載する基体本体とを具備したことを特徴とする半導体集積回路装置。

【請求項10】 前記ソルダボールは、前記集積回路基板の裏面に配列されており、
前記電極パッドは、前記集積回路基板の厚さ方向に伸長する高濃度拡散領域を介して前記集積回路基板の表面側の素子と電気的に接続されていることを特徴とする請求項9に記載の半導体集積回路装置。

【請求項11】 前記電極パッドの1つは、前記シリコン基板の中心に配設され、電源線接続用のパッドを構成することを特徴とする請求項9記載の半導体集積回路装置。

【請求項12】 前記電極パッドの1つは、前記シリコン基板の中心に配設され、接地線接続用のパッドを構成することを特徴とする請求項9記載の半導体集積回路装置。

【請求項13】 前記電極パッドの1つは、前記シリコン基板の中心に配設され、電源線接続用のパッドを構成するとともに、
裏面の一部又は前面に接地線接続用のパッドを配設したことを特徴とする請求項9記載の半導体集積回路装置。

【請求項14】 原料融液中に種結晶を浸せし、所望の速度で引き上げることにより、シリコン単結晶棒を形成するシリコン単結晶棒の引き上げ工程と、
前記シリコン単結晶棒を研削加工して、所望の外周形状を得るとともに、オリエンテーションフラット面を形成する研削工程と、
研削のなされた前記シリコン単結晶棒をスライスしてシリコン基板を形成するシリコン基板形成工程と、
前記シリコン単結晶棒の外周形状を維持しつつ、前記シリコン基板の表面を研磨して平滑化する平滑化工程と、
前記シリコン基板に複数の素子を集積形成し、前記シリコン単結晶棒の外周形状を外郭とする集積回路基板を形成する集積回路基板形成工程と、
前記集積回路基板に外部接続手段を接続する外部接続工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造方法に関する。

【0002】

【従来の技術】IC、LSIなどの半導体集積回路装置は、現時点ではシリコンを用いたものが主流となってい

る。このようなシリコンICは、図14に工程を示すフローチャートを示すと共に、図15乃至図19に工程説明図を示すようにして製造される。すなわちまず、図15に示すようにチョクラスキー(CZ)法などの単結晶引き上げ法によって形成された単結晶シリコン棒113(工程201)を図16に示すようにスライスすることによって得られた半導体ウェハ115(工程202)を出発材料として用いて製造される。製造に際しては、半導体ウェハ115(図17)に、酸化膜などの絶縁体膜の形成、不純物拡散、導電体膜の形成などの工程を経て素子形成がなされるが、ステッパと呼ばれる露光装置を用いて順次くり返し露光を行い、半導体ウェハ内に同じパターンをくり返し形成し(工程203)、完成後ダイシングと呼ばれるカッティング工程を経て個々のチップに分離する(工程204:図18)ことによって半導体チップ116が形成される。この方法では、不良が発生すると、その部分は使用することなく除去することにより、高精度で信頼性の高い半導体チップを形成することができる。

【0003】このようにして得られた半導体チップ116をリードフレーム等を用いて実装しこれを1枚のプリント基板118上に多数個搭載し、CPUなどの装置を構成する(工程205:図19)のが通常の形態である。しかしながら、最近のCPUでは、多機能化に伴い、16mm×16mmあるいはそれ以上という大型のものも使用されており、チップの大型化は進む一方であり、1枚のチップでCPUを構成するものも実用化されている。

【0004】更にまた、少量多品種化は進む一方であり、汎用型ICの時代から、機能型ICへと移り変わる傾向にある。そして又、機能型ICへの傾向が高くなるにつれて、チップの形状としても回路構成および用途に応じたものが必要となる。例えば円形、八角形など種々の形状が必要となる。しかしながら例えば半導体圧力センサのようなものでは、円形のシリコン基板を用いるのが望ましく、また他のデバイスでも半導体ウェハを用いて円形、八角形などのチップを形成しようとすると図20に示すように不要部分が多くなり収率が悪いという問題がある。

【0005】このような状況の中で、チップの大型化に対応できる半導体ウェハの形成が必要とされているのみならず、大型化するに従って、外部回路との接続のための電極パッドとの距離のばらつきは大きくなる一方であり、配線長のばらつきに伴う容量成分のばらつきが出力信号のばらつきの原因となる。

【0006】また、チップの大型化に伴い素子数は増大する一方であり、電源線接続用の電極パッドとの距離についても、従来のようにチップの周縁で外部接続を行うものにおいては、チップの1辺の長さ程度迄長くなるものがあるのは免れ得ない事実となっている。更には大電

流を必要とするものもある。

【0007】更にまた放熱の問題も、素子数の増大に伴い深刻となっている。

【0008】

【発明が解決しようとする課題】このように、チップの大型化に備え、高歩留まりで信頼性の高い半導体チップの形成が必要であり、また外部との接続および実装も従来とは状況が異なり、対応した改善が必要となっている。

【0009】本発明は、前記実情に鑑みてなされたもので、半導体チップの大型化に備え、実装が容易で、高歩留まりでかつ信頼性の高い半導体集積回路装置およびその製造方法を提供することを目的とする。

【0010】また本発明の他の目的は、基板の大径化にともなう配線長のばらつきによる出力信号のばらつきを低減することにある。

【0011】更にまた本発明の他の目的は、基板の大径化に伴い、配線長が長くなるのを低減し、電流損失の低減を目的とする。

【0012】更に本発明の他の目的は、放熱性の向上にある。

【0013】

【課題を解決するための手段】そこで本発明の第1では、所望の外周形状をなすシリコン単結晶棒をスライスすることによって形成され、前記シリコン単結晶棒の外周形状を外郭として維持したシリコン基板と、前記シリコン基板に配設された複数の素子および配線と、前記シリコン基板の表面又は裏面に配設された外部接続用の電極パッドとを具備した集積回路基板と、前記集積回路基板を搭載する集積回路基板搭載領域と、リードとを備えた基体本体と、前記リードと前記集積回路基板の前記接続パッドを電気的に接続する接続手段とを具備したことを特徴とする。

【0014】望ましくは、前記シリコン基板は、円形であり、その中心に電源線接続用のパッドを具備し、接続手段を介して電源線に接続されていることを特徴とする。

【0015】また望ましくは、前記シリコン基板は円形であり、その中心に接地線接続用のパッドを具備し、接続手段を介して接地線に接続されていることを特徴とする。

【0016】更に望ましくは、前記シリコン基板は、円形であり、その中心に接地線接続用のパッドを具備し、接続手段を介して接地線に接続されており、前記基体は、前記集積回路基板を搭載する凹部を具備し、前記パッドに相当する領域を除いて内側を絶縁化せしめられてなる放熱板であることを特徴とする。

【0017】前記基体は、前記集積回路基板を搭載する凹部を具備してなる放熱板であることを特徴とする。

【0018】また望ましくは、前記シリコン基板は、円

形であり、その素子形成面側の中心に接地線接続用のパッドを具備するとともに、裏面側の中心に電源線接続用のパッドを具備し、それぞれ接続手段を介して接地線および電源線に接続されていることを特徴とする。

【0019】望ましくは、前記電極パッドは、前記集積回路基板の外周に沿って配列され、それぞれ信号線に接続されていることを特徴とする。

【0020】本発明の第2では、所望の外周形状をなすシリコン単結晶棒をスライスすることによって形成され、前記シリコン単結晶棒の外周形状を外郭として維持したシリコン基板と、前記シリコン基板に配設された複数の素子および配線と、前記シリコン基板の表面又は裏面に配設された外部接続用の電極パッドとを具備した集積回路基板と、前記電極パッドに接続するように前記集積回路基板の表面又は裏面から突出するソルダボールと、前記集積回路基板を搭載する基体本体とを具備したことを特徴とする。

【0021】望ましくは、前記ソルダボールは、前記集積回路基板の裏面に配列されており前記電極パッドは、前記集積回路基板の厚さ方向に伸長する高濃度拡散領域を介して前記集積回路基板の表面側の素子と電気的に接続されていることを特徴とする。

【0022】また望ましくは、前記電極パッドの1つは、前記シリコン基板の中心に配設され、電源線接続用のパッドを構成することを特徴とする。

【0023】望ましくは、前記電極パッドの1つは、前記シリコン基板の中心に配設され、接地線接続用のパッドを構成することを特徴とする。

【0024】更に望ましくは、前記電極パッドの1つは、前記シリコン基板の中心に配設され、電源線接続用のパッドを構成するとともに、裏面の一部又は前面に接地線接続用のパッドを配設したことを特徴とする。

【0025】本発明の第3では、原料融液中に種結晶を浸せきし、所望の速度で引き上げることにより、シリコン単結晶棒を形成するシリコン単結晶棒の引き上げ工程と、前記シリコン単結晶棒を研削加工して、所望の外周形状を得るとともに、オリエンテーションフラット面を形成する研削工程と、研削のなされた前記シリコン単結晶棒をスライスしてシリコン基板を形成するシリコン基板形成工程と、前記シリコン単結晶棒の外周形状を維持しつつ、前記シリコン基板の表面を研磨して平滑化する平滑化工程と、前記シリコン基板に複数の素子を集積形成し、前記シリコン単結晶棒の外周形状を外郭とする集積回路基板を形成する集積回路基板形成工程と、前記集積回路基板に外部接続手段を接続する外部接続工程とを含むことを特徴とする。

【0026】

【作用】本発明は、従来、シリコン単結晶棒をスライスすることによって形成したシリコン基板に素子を形成してダイシングにより多数個のチップに分割するものであ

った半導体集積回路装置の製造方法を大きく変更するものである。すなわち本発明は、シリコン単結晶棒をスライスして形成したシリコン基板をダイシングすることなく1つの集積回路基板としてモノリシック集積回路を形成することを特徴とするもので、大型基板を、極めて効率良く形成することができ収率が大幅に向上する。しかも、従来は8インチウェハを用いて多数の半導体チップを形成していたのに対し、3インチ以下の小径のシリコン単結晶棒を引き上げ形成すればよいと、引き上げ装置が小さくて済み、また引き上げ速度も早いと、引き上げ効率が向上する。更には、従来は、1つのるつぼから1回1本の単結晶引き上げが常識であったが、本発明によれば、小径化することにより、複数本同時引き上げも可能となり、引き上げ効率が大幅に向上する。

【0027】また、前記シリコン単結晶棒の外周形状を外郭としてそのまま用いるため、円形の集積回路基板を形成する場合にも、極めて効率良く無駄なく形成することができる。円形の基板は外部回路との接続に対し、ボンディングが極めて効率良く実行し得、実装作業性が向上する。更にまた、この円形状のシリコン基板に、一部円弧状の切除部を設けることにより、結晶方位を決定するのが容易となる。

【0028】また、円形の集積回路基板を形成することにより、電極パッドと機能素子との間の配線長を均一にすることが容易であり、配線容量を均一にすることができ、信号のばらつきの少ない高性能素子を形成することが可能となる。また、集積回路基板の中心に電源線接続用のパッドを配設することにより、電源から各素子への距離をできるだけ小さくすることができ、電流損失を低減することが可能となる。また電源線との接続用の電極パッドを大きくすることができ、大電流化にも対応可能である。

【0029】また望ましくは、前記シリコン基板は円形であり、その中心に接地線接続用のパッドを配設することにより配線長を低減することができ、また回路設計に自由度がでる。

【0030】更に望ましくは、前記シリコン基板は、円形であり、その中心に接地線接続用のパッドおよび接続手段を介して接地線に接続されており、前記集積回路基板を搭載する凹部を具備し、前記パッドに相当する領域を除いて内側を絶縁化せしめられてなる放熱板に収納されているため、放熱が容易となり、大電流化が可能となる。

【0031】また、基体を、放熱板で構成し、その凹部に集積回路基板を搭載することにより実装が容易で放熱性、支持性を高めることができる。

【0032】また望ましくは、前記シリコン基板は、円形であり、その素子形成面側の中心に接地線接続用のパッドを具備するとともに、裏面側の中心に電源線接続用のパッドを具備し、それぞれ接続手段を介して接地線お

よび電源線に接続されていることを特徴とする。

【0033】望ましくは、信号線に接続される前記電極パッドを、前記集積回路基板の外周に沿って配列することにより、配線容量のばらつきを無くし、信頼性の高い半導体集積回路装置を提供することが可能となる。

【0034】また望ましくは、前記集積回路基板は、更に前記集積回路基板表面に、半導体チップを搭載してなる混成集積回路としてもよい。

【0035】更にまた、このシリコン基板裏面のほぼ全域にわたって外部接続用の電極パッドを配設すれば、ソルダボールなどを用いて容易に外部接続を行うことが可能となり、回路設計に自由度を持たせることができ、また配線長を縮減することができるとともに外部接続の容易な半導体集積回路装置を得ることができる。望ましくは、基体本体に、前記集積回路基板搭載領域の近傍から放射状に伸長するリードパターンを配設し、電極パッドとリードパターンの内端部をボンディングワイヤで接続するようにしてもよい。また、リードパターンの内端部が前記電極パッドの真上迄伸長するようにし、リードパターンあるいは電極パッドのいずれかにバンプを配設して接続するようにしてもよい。

【0036】また望ましくは、前記集積回路基板は、更に前記集積回路基板表面に、半導体チップを搭載してなる混成集積回路とすることにより、回路設計の自由度が向上する。

【0037】本発明の第2では、電極パッドに接続するように前記集積回路基板の表面又は裏面から突出するソルダボールを具備しているため、実装が極めて容易であり、更に大径化にも充分に対応できる配線接続を容易に得ることが可能となる。

【0038】望ましくは、集積回路基板の厚さ方向に伸長する高濃度拡散領域を介して前記集積回路基板の表面側の素子と電極パッドとを電気的に接続するようにし、ソルダボールを介して外部接続を行うことにより、大径化に際しても、配線長を小さくすることができ、回路設計が自由で信頼性の高い半導体集積回路装置を得ることができる。

【0039】また望ましくは、前記電極パッドの1つを、前記シリコン基板の中心に配設しこれを電源線接続用のパッドとすれば、電源線の配線長のばらつきを低減することができる。

【0040】望ましくは、前記電極パッドの1つを、前記シリコン基板の中心に配設しこれを接地線接続用のパッドとすれば、配線長を低減することができる。

【0041】更に望ましくは、前記電極パッドの1つを前記シリコン基板の中心に配設し、電源線接続用のパッドとするとともに、裏面の一部又は前面に接地線接続用のパッドを配設すれば、外部接続が極めて容易となり接続領域を充分に大きくとることができる。

【0042】本発明の第3では、小径のシリコン単結晶

棒を形成しこれを研削加工して、所望の外周形状を得るとともに、オリエンテーションフラット面を形成し、これをスライスすることによってシリコン基板を形成し、この外郭をそのまま周縁として用いて集積回路を構成しているため、小さい径の単結晶シリコン棒を引き上げ形成すればよいため、引き上げ装置が小さくて済み、また引き上げ速度も早いため、引き上げ効率が大幅に向上し、低コストで信頼性の高い半導体集積回路装置を得ることが可能となる。

【0043】また、望ましくは、このような集積回路基板を、集積回路基板搭載領域と、前記集積回路基板の周縁から放射状に伸長するリードパターンとを備えた基体本体に実装し、前記リードパターンと前記集積回路基板の前記接続パッドを電気的に接続と共に保護パッケージに収納することにより、上記効果に加え、実装が容易でかつ小型で信頼性の高い半導体集積回路装置を提供する。

【0044】

【発明の実施の形態】以下、本発明の実施例について図面を参照しつつ詳細に説明する。

【0045】まず、図1に本発明実施例の半導体集積回路装置を示す断面図、図2に集積回路基板を示す上面図、図3に下面図を示すように、この半導体集積回路装置は、集積回路基板を搭載するための凹部を備えた金属性の放熱板H内に、多数個のトランジスタや容量素子などからなる集積回路Mを具備した円形のシリコン基板を搭載してなるものである。この半導体集積回路装置では、表面側の周方向に沿って18個の電極パッドP1、P2、・・・P18が配列されており、裏面側の中央に円形の電極パッドP0が配設され、放熱板Hとの電気的接続を達成すると共に電気的接続を達成しており、この放熱板を介して接地とともに放熱がなされる。

【0046】なお、この集積回路基板は、所望の外周形状をなすシリコン単結晶棒をスライスすることによって形成され、前記シリコン単結晶棒の外周形状を外郭として維持したシリコン基板10に、トランジスタなどの素子を形成すると共に、配線等を形成したもので、素子形成面側の周縁に沿って電極パッドP1、P2、・・・P18が配列されていると共に、裏面側には中心に大きな電極パッドP0が形成されている。この電極パッドは裏面側に配設された配線パターン11と、シリコン基板の厚さ方向に伸長する高濃度の拡散領域15とを介して、素子領域との電気的に接続を達成している。そして他の領域はポリイミド膜20で被覆保護されている。また、放熱板の内側は電極パッドP0に相当する領域を除いて絶縁膜12が形成されている。そしてまた必要に応じて、外の領域はポリイミド膜20等の絶縁膜で被覆されている。

【0047】また素子形成面側の電極パッドP1、P2、・・・P18は、前記基板10の表面に突出するように配

設されたソルダボールS1、S2、・・・S18に接続され、そのまま外部回路と接続可能なように構成されている。

【0048】次にこの半導体集積回路装置の製造方法について説明する。ここで、図4は半導体集積回路基板の製造工程を示すフローチャートであり、CZ法により引き上げたシリコン単結晶棒を成形すると共に、オリフラ面を形成し、スライスすることによりシリコン基板を形成する。そしてこのシリコン基板の外周形状を維持したまま集積回路を形成し、ソルダボール（半田ボール）を形成し、円形のイメージセンサを構成したものである。

【0049】図5乃至図11に工程説明図を示す。

【0050】まず、図5に示すように、るつぼ1内に充填された原料融液2中に種結晶を浸せし、チョクラスキー引き上げ法により、所望の速度で引き上げを行うことにより、図6に示すようなシリコン単結晶棒3を形成する（工程101）。

【0051】続いて、このシリコン単結晶棒3を研削加工して、円柱状に成形するとともに図7に示すようにオリエンテーションフラット面4を形成する（工程102）。

【0052】このようにして研削のなされたシリコン単結晶棒3をスライスして図8に示すように半導体ウェハ5（シリコン基板10）を形成する（工程103）。ここで4はオリエンテーションフラット面である。

【0053】この後、前記シリコン単結晶棒の外周形状を維持しつつ、前記シリコン基板5の表面を研磨して平滑化することにより、図9に断面図を示すようにデバイス形成基板としての直径18mmのシリコン基板10が形成される（工程104）。

【0054】更に、図10に示すように、シリコン基板10に、表面酸化を行い酸化シリコン膜等の絶縁膜を形成する絶縁膜形成工程、多結晶シリコン層などの配線層を形成する配線層形成工程などを経て、更に拡散工程を施し表面側と裏面側から高濃度のドーピングを行うと共に所望の導電型の拡散層6を形成し、相互接続のなされた複数の素子を集積形成する（工程105）。

【0055】そして必要に応じてこの工程105に先立ち又は途中で熱処理を行い、表面側と裏面側から高濃度のドーピングを行い、表面から裏面に貫通するような高濃度拡散領域15を形成する。

【0056】そして、基板の裏面側の周縁部に沿って電極パッドを形成し、更に基板表面および裏面をポリイミド膜9で被覆し、シリコン基板裏面側の周縁部に、コンタクトホールを形成する。

【0057】そしてこのシリコン基板10裏面側の電極パッド表面にソルダボールS1、S2、・・・S18を載置し、300℃に加熱し、パッド上のみソルダボールを形成する。

【0058】この後、放熱板内に絶縁性樹脂および導電性樹脂を介して固着し、図1乃至3に示した半導体集積回路装置が形成される。

【0059】この集積回路装置は、放熱性が極めて良好であり、また外部回路との接続に際しては、プリント基板にそのまま載置し、加熱すれば良く、実装も極めて容易である。

【0060】更にまた、引き上げ単結晶の形状をそのまま維持しているため不要部が極めて少なく、大型基板を、極めて効率良く形成することができ、収率が大幅に向上する。しかも、従来に比べ大幅に径の小さいシリコン単結晶棒を引き上げ形成すればよいので、引き上げ装置が小さくて済み、また1つのるつぼから1回1本の単結晶引き上げが常識であったが、このように小径化することにより、複数本同時引き上げも可能となり、引き上げ効率が大幅に向上する。

【0061】また、円形の集積回路基板を形成することにより、電極パッドを基板の周縁に沿って配列し、配線を法線方向に沿って放射状に配設することにより、機能素子との間の配線長を均一にするのが容易であり、配線容量が均一で、信号のばらつきのない高性能の素子を形成することが可能となる。

【0062】更に、1枚の集積回路基板内で高性能回路を集積形成することができ、小型で信頼性の高い半導体集積回路装置を得ることが可能となる。

【0063】また、前記実施例ではソルダボールを介して外部回路との接続を行うようにしたが、通常のリードフレームを用いて実装するようにしてもよく、この場合にも円形の基板は外部回路との接続に対し、ワイヤボンディングなどのボンディングが極めて効率良く実行し得、実装作業性が向上する。

【0064】更にまた、ボンディングパッドは、前記実施例ではシリコン基板の周縁に沿って形成したが、シリコン基板裏面のほぼ全域にわたって外部接続用の電極パッドを配設してもよく、回路設計に自由度を持たせることができ、またソルダボールなどを用いることにより、外部接続の容易な半導体集積回路装置を得ることができる。

【0065】次に本発明の第2の実施例について説明する。図12(a)および(b)は、圧力センサを示すもので、前記に第1の実施例と同様に図5乃至図8までの工程を経て形成した直径3インチのシリコン基板を半導体圧力センサのダイヤフラムとして用いたことを特徴とするものである。円形のシリコン基板の周方向に沿って多数のミランダ状の感圧抵抗体が形成されており、周縁に沿って電極パッドが形成され、側方を、内側に絶縁膜を形成すると共に配線パターン24を形成してなる断面コの字状の金属容器23によって支持されている。

【0066】すなわちこの圧力センサは図13(a)および(b)に集積回路基板を示すように、n型のシリコン基

板10表面に熱拡散により選択的にp型拡散層パターンを形成し感圧抵抗層21を構成するものである。

【0067】そして更に、この感熱抵抗層21の両端に接続するように多結晶シリコン層パターンからなる電極パッド22を形成したものである。

【0068】製造に際しては、前記第1の実施例と同様にして形成した口径の大きなシリコン基板に拡散プロセスおよびCVDなどの成膜プロセスおよびフォトリソグラフィプロセスを経て、極めて容易に形成される。

【0069】しかも、電極取り出しが容易でかつ周方向に沿って多数の感圧抵抗パターンを形成することができるため、ばらつきが補償され、高精度の圧力検出が可能となる。

【0070】そして、配線パターンを内側に形成した金属容器に実装することにより極めて容易に大型で信頼性の高い圧力センサを得ることができる。

【0071】なお、前記基板内に周辺回路も集積化して形成してもよい。

【0072】また同様にして形成した集積回路基板を、集積回路基板搭載領域と、前記集積回路基板の周縁から放射状に伸長するリードパターンと、周辺回路を備えた基体本体に実装し、前記リードパターンと前記集積回路基板の前記接続パッドを電氣的に接続と共に保護パッケージに収納してもよい。

【0073】望ましくは、前記電極パッドを、前記集積回路基板の外周に沿って配列し、電極パッドと前記リードパターンの内端部をボンディングワイヤで接続することによって小型で信頼性の高い半導体圧力センサ装置を提供することができる。

【0074】更にまた、前記実施例では単結晶シリコン棒からスライスして形成したシリコン基板について説明したが、シリコンに限定されることなく、GaAsなどの化合物半導体単結晶等にも適用可能であることはいうまでもない。

【0075】

【発明の効果】以上説明してきたように、本発明によれば、シリコン単結晶棒をスライスして形成したシリコン基板をダイシングすることなく1つの集積回路基板として半導体集積回路装置を形成することを特徴とするもので、大型基板を、極めて効率良く形成することができ収率が大幅に向上する。

【0076】また、前記シリコン単結晶棒の外周形状を外郭としてそのまま用いるため、円形の集積回路基板を形成する場合にも、極めて効率良く無駄なく形成することができる。円形の基板は外部回路との接続に対し、ボンディングが極めて効率良く実行し得、実装作業性が向上する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体集積回路装置を示す断面図

【図2】本発明の第1の実施例の半導体集積回路装置を示す下面図

【図3】本発明の第1の実施例の半導体集積回路装置を示す上面図

【図4】本発明の第1の実施例の半導体集積回路装置の製造工程を示すフローチャート図

【図5】本発明実施例の半導体集積回路装置の製造工程図

【図6】本発明実施例の半導体集積回路装置の製造工程図

【図7】本発明実施例の半導体集積回路装置の製造工程図

【図8】本発明実施例の半導体集積回路装置の製造工程図

【図9】本発明実施例の半導体集積回路装置の製造工程図

【図10】本発明実施例の半導体集積回路装置の製造工程図

【図11】本発明実施例の半導体集積回路装置の製造工程図

【図12】本発明の第2の実施例の半導体集積回路装置

【図13】本発明の第2の実施例の半導体集積回路基板を示す図

【図14】従来例の半導体集積回路装置の製造方法を示すフローチャート図

【図15】従来例の半導体集積回路装置の製造工程図

【図16】従来例の半導体集積回路装置の製造工程図

【図17】従来例の半導体集積回路装置の製造工程図

【図18】従来例の半導体集積回路装置の製造工程図

【図19】従来例の半導体集積回路装置の製造工程図

【図20】従来例の半導体集積回路装置の製造方法の他の一例を示す図

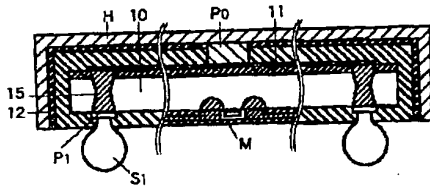
【符号の説明】

- 1 るつぼ
 - 2 原料融液
 - 3 単結晶シリコン棒
 - 4 オリエンテーションフラット面
 - 5 半導体ウェハ（シリコン基板）
 - 6 拡散層
 - 9 ポリイミド膜（絶縁膜）
 - 10 シリコン基板
 - 11 配線パターン
 - 12 絶縁膜
 - 13 光電変換層
 - 14 透明電極
 - 15 拡散領域
- P0、P1、P2・・・電極パッド
S1、S2・・・ソルダボール
M 回路部
H 放熱板

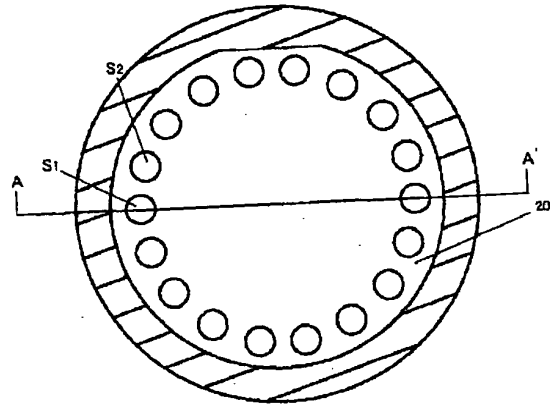
- 20 ポリイミド膜
- 21 感圧抵抗体層
- 22 電極パッド
- 23 金属容器
- 24 電極パターン

- 113 単結晶シリコン棒
- 115 半導体ウェハ
- 116 半導体チップ
- 118 プリント基板

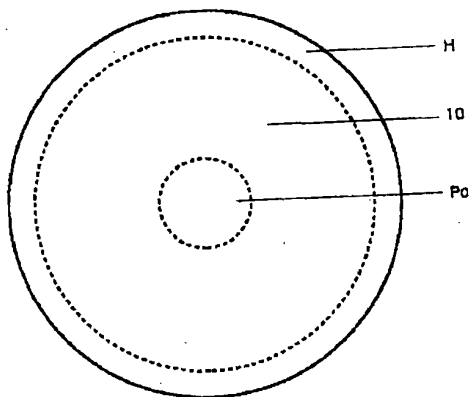
【図1】



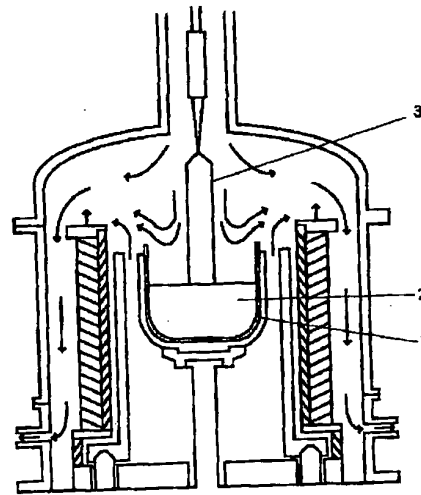
【図2】



【図3】

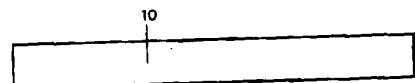
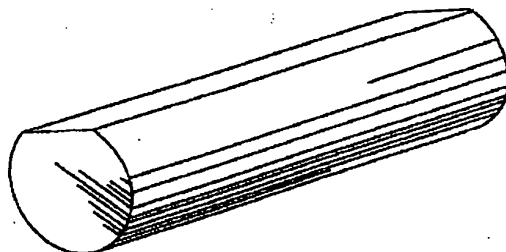


【図5】

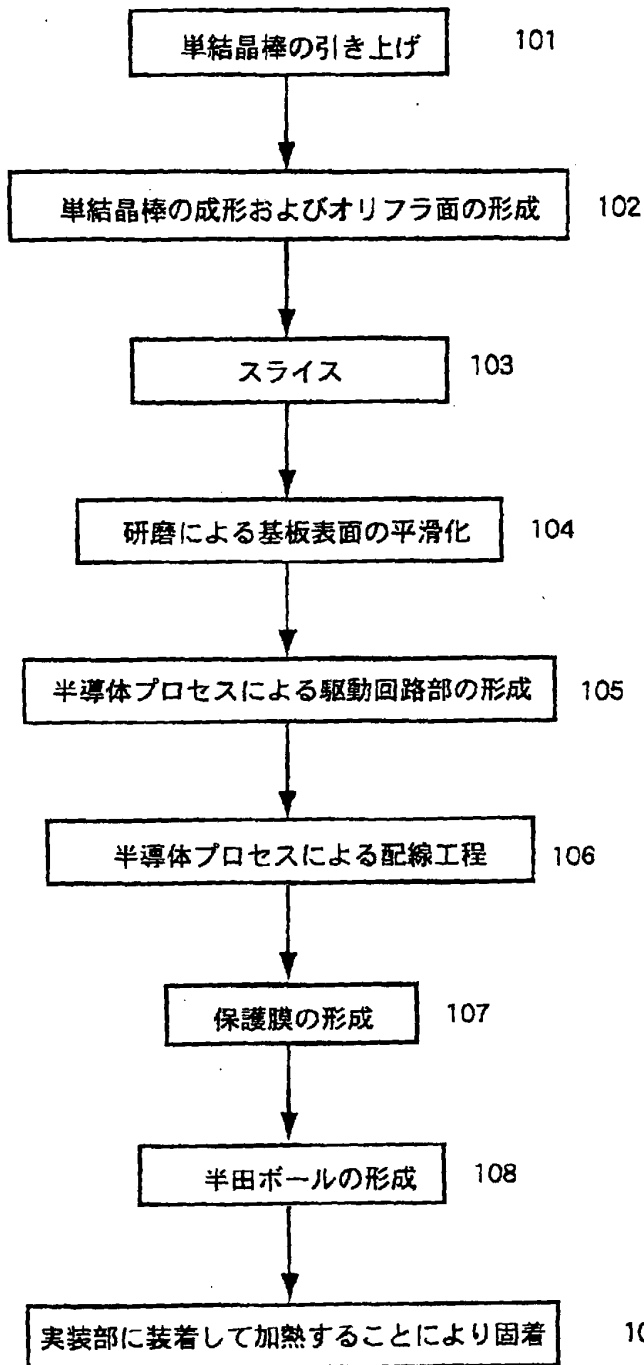


【図9】

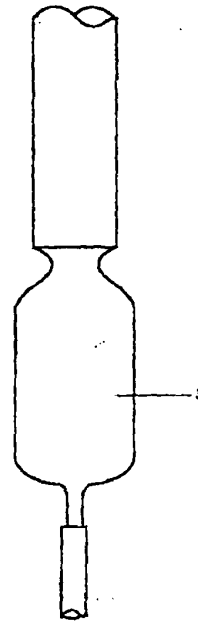
【図7】



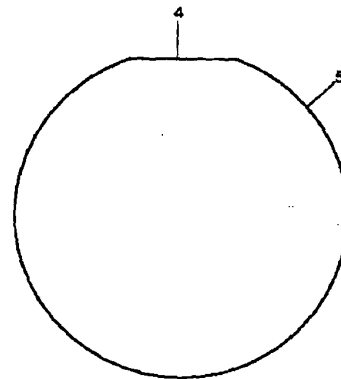
【図4】



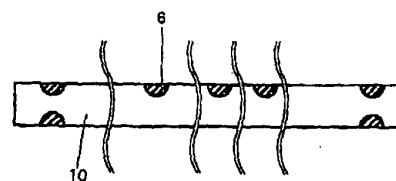
【図6】



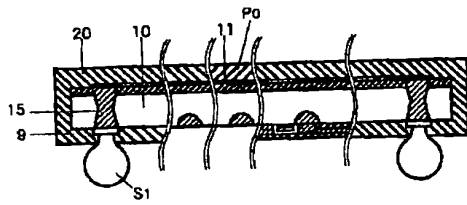
【図8】



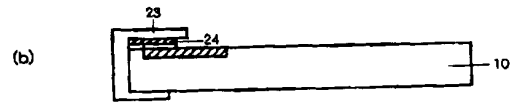
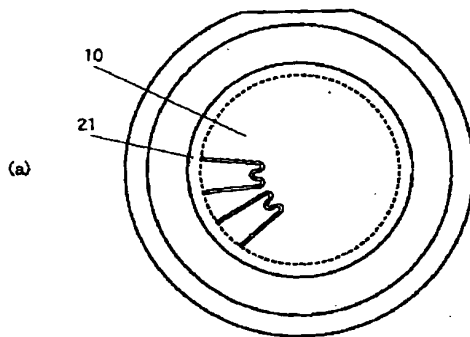
【図10】



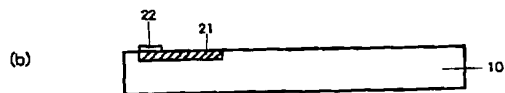
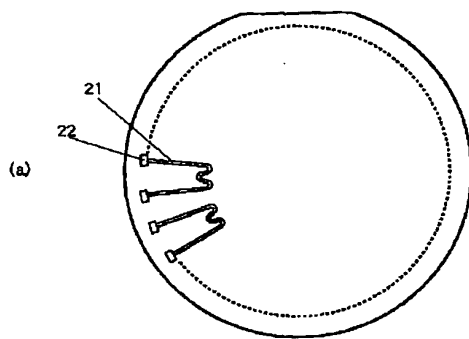
【図11】



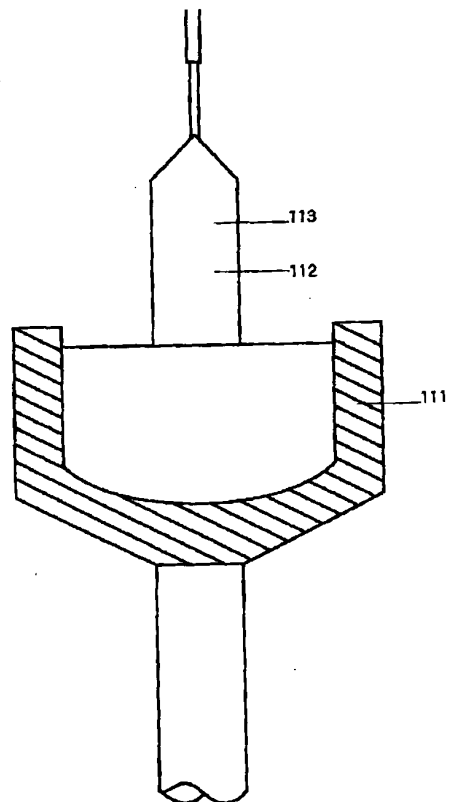
【図12】



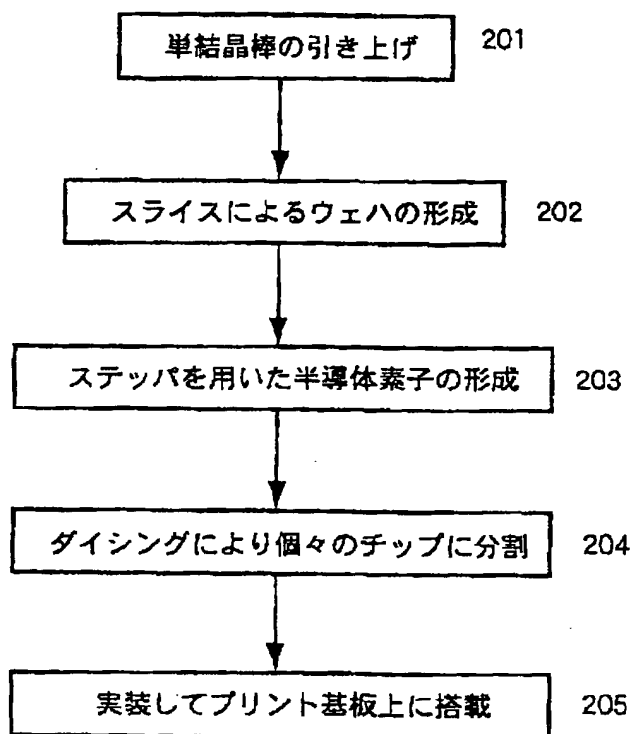
【図13】



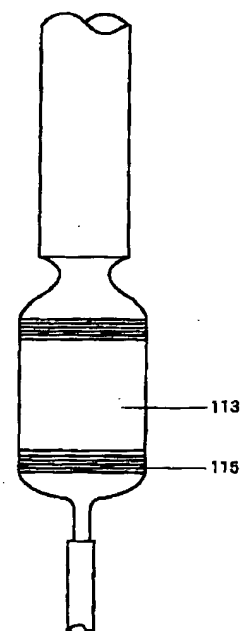
【図15】



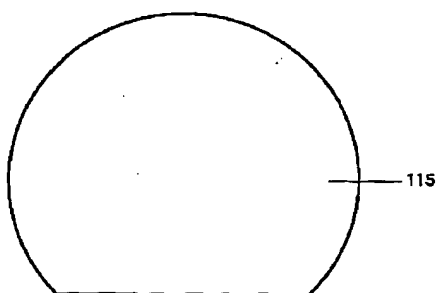
【図14】



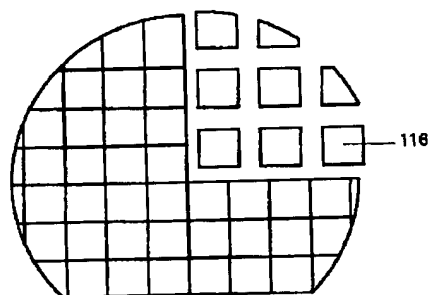
【図16】



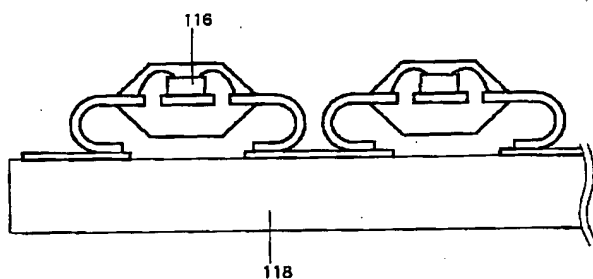
【図17】



【図18】



【図19】



【図20】

